

(11)Publication number : 2001-135086
(43)Date of publication of application : 18.05.2001

G11C 16/02

(71)Applicant : TOSHIBA CORP

(72)Inventor : SHIGA HITOSHI

(57)Abstract:

[illegible]

SOLUTION: This memory is provided with a memory cell array in which non-volatile memory cells being electrically rewritable are arranged, a boosting power source circuit 8 generating a boosting potential required for write-in and read-out of data, a sense amplifier 5 sensing read-out data and latching write-in data, decoding circuit 2, 3 selecting memory cells of the memory cell array 1 by addresses, and a control circuit 7 controlling automatic write-in operation including writing data in the memory cell array 1 and confirmation of write-in data based on a write-in command input, an address, and a data input, and the memory has a continuous write-in mode in which an activation state is held without returning a boosting circuit for write-in of the boosting power source circuit 8 to a non-activation state for each finish of write-in operation of each address for write-in for plural addresses.

[Date of request for examination] 22.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-135086

(P2001-135086A)

(43)公開日 平成13年5月18日(2001.5.18)

(51)Int.Cl.⁷

G 1 1 C 16/02

識別記号

F I

G 1 1 C 17/00

テーマコード*(参考)

6 1 1 E 5 B 0 2 5

6 1 1 A

審査請求 未請求 請求項の数17 O L (全 10 頁)

(21)出願番号 特願平11-316487

(22)出願日 平成11年11月8日(1999.11.8)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 志賀 仁

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝マイクロエレクトロニクスセン
ター内

(74)代理人 100092820

弁理士 伊丹 勝

Fターム(参考) 5B025 AA03 AC01 AD04 AD10 AE05

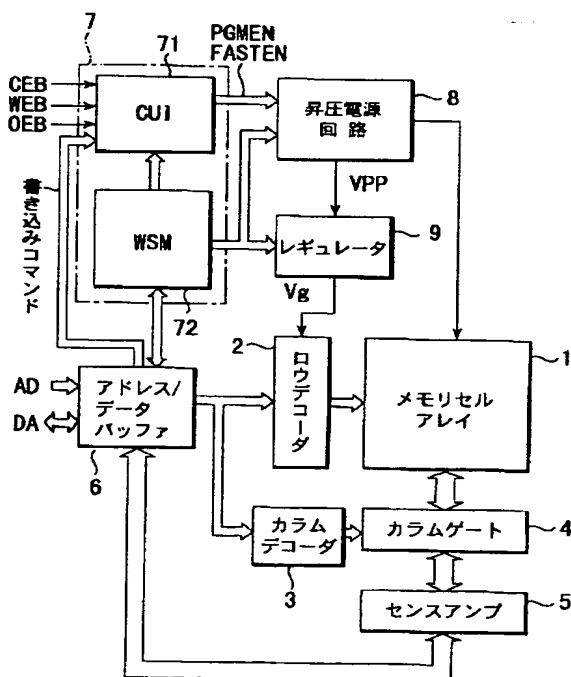
AE06

(54)【発明の名称】 半導体記憶装置及びその制御方法

(57)【要約】 -

【課題】 書き込み時間短縮と消費電力低減を可能とする半導体記憶装置を提供する。

【解決手段】 電氣的書き換え可能な不揮発性メモリセルを配列したメモリセルアレイ1と、データ書き込み、読み出しに必要な昇圧電位を発生する昇圧電源回路8と、読み出しデータをセンスし書き込みデータをラッチするセンスアンプ5と、アドレスによりメモリセルアレイ1のメモリセル選択を行うデコード回路2、3と、書き込みコマンド入力とアドレス及びデータ入力に基づいてメモリセルアレイ1へのデータ書き込みと書き込みデータの確認を含む自動書き込み動作の制御を行う制御回路7とを備え、複数アドレスに対する書き込みについて昇圧電源回路8の書き込み用昇圧回路を各アドレスの書き込み動作終了毎に非活性状態に戻すことなく活性状態に保つ連続書き込みモードを有する。



1

【特許請求の範囲】

【請求項1】 メモリセルアレイと、
昇圧電位を発生するための昇圧電源回路と、
アドレス信号に応じて前記メモリセルアレイのメモリセル
選択を行うデコード回路と、
第1のコマンドが入力されると前記昇圧電源回路を活性
状態とし、前記第1のコマンドに引き続いて前記昇圧電
源回路を制御する第2のコマンドが繰り返し入力される
間前記昇圧電源回路の活性状態を継続させる制御を行う
制御回路と、を有することを特徴とする半導体記憶装
置。

【請求項2】 メモリセルアレイと、
昇圧電位を発生するための昇圧電源回路と、
アドレス信号に応じて前記メモリセルアレイのメモリセル
選択を行うデコード回路と、
入力端子を有し、前記昇圧電源回路の活性状態と非活性
状態とを制御するための制御回路とを備え、
前記入力端子に入力される所定の信号に応じて前記制御
回路から出力される第1の制御信号により前記昇圧電源
回路の活性状態と非活性状態とが制御される通常動作モ
ードと、
前記入力端子に入力される所定の信号に応じて前記制御
回路から出力される第2の制御信号により前記昇圧電源
回路の活性状態を継続させる連続動作モードと、を有す
ることを特徴とする半導体記憶装置。

【請求項3】 メモリセルアレイと、
昇圧電位を発生するための昇圧電源回路と、
アドレス信号に応じて前記メモリセルアレイのメモリセル
選択を行うデコード回路と、
第1のコマンドが入力されると前記昇圧電源回路を一定
時間活性状態とし、前記一定時間内に第2のコマンドが
入力された場合には前記昇圧電源回路の活性状態を継続
し、前記一定時間内に第2のコマンドが入力されない場
合には前記昇圧電源回路が非活性状態になるように制御
する制御回路と、を有することを特徴とする半導体記憶
装置。

【請求項4】 メモリセルアレイと、
昇圧電位を発生するための、活性状態と非活性状態とが
制御される第1の昇圧回路及び、常時活性状態に保持さ
れて昇圧電位を発生する第2の昇圧回路を有する昇圧電
源回路と、
この昇圧電源回路の出力を動作モードに応じてレベル調
整して出力するレギュレータと、
アドレス信号に応じて前記メモリセルアレイのメモリセル
選択を行うデコード回路と、
所定のコマンドが入力されることにより、任意の複数の
アドレス信号と書き込みデータが繰り返し入力される間
前記第1の昇圧回路を継続的に活性状態に保持する制御
を行う制御回路と、を有することを特徴とする半導体記
憶装置。

2

【請求項5】 前記メモリセルアレイは電氣的書き換え
可能なメモリセルが配列されたものであり、
前記第1のコマンドは繰り返し入力されるアドレス信号
とこれに対応する書き込みデータ信号の複数の組に対し
て連続書き込みモードをセットするためのコマンドであ
り、
前記第2のコマンドは前記複数のアドレス信号とこれに
対応する書き込みデータ信号の組毎に書き込みを指示す
るコマンドであることを特徴とする請求項1記載の半導
体記憶装置。

【請求項6】 前記メモリセルアレイは電氣的書き換え
可能なメモリセルが配列されたものであり、
前記通常動作モードは、前記第1の制御信号を書き込み
イネーブル信号として各書き込み動作毎に前記昇圧電源
回路の活性状態と非活性状態を制御してデータ書き込み
を行う通常書き込みモードであり、
前記連続動作モードは、前記第2の制御信号を連続書き
込みイネーブル信号として複数の書き込み動作の間前記
昇圧電源回路を活性状態に保持する連続書き込みモード
であることを特徴とする請求項2記載の半導体記憶装
置。

【請求項7】 前記メモリセルアレイは電氣的書き換え
可能なメモリセルが配列されたものであり、
前記第1及び第2のコマンドは書き込みを指示するコマ
ンドであることを特徴とする請求項3記載の半導体記憶
装置。

【請求項8】 前記メモリセルアレイは電氣的書き換え
可能なメモリセルが配列されたものであり、
前記コマンドは順次入力される複数の書き込みデータに
ついて前記昇圧電源回路を活性状態に保持して連続書き
込みを指示するコマンドであることを特徴とする請求項
4記載の半導体記憶装置。

【請求項9】 前記メモリセルアレイは電氣的書き換え
可能なメモリセルが配列されたものであり、
前記制御回路は、前記メモリセルアレイへの書き込み動
作とその後の書き込み状態を確認する確認読み出し動
作、及び書き込みが不十分である場合には書き込み動作
を繰り返す書き込みサイクル制御を行い、書き込みが十
分であることが確認されると書き込みサイクルを終了さ
せることを特徴とする請求項1又は2記載の半導体記憶
装置。

【請求項10】 前記メモリセルアレイは電氣的書き換
え可能なメモリセルが配列されたものであり、
前記制御回路は、第1のコマンドの入力により、前記メ
モリセルアレイへの書き込み動作とその後の書き込み状
態を確認する確認読み出し動作、及び書き込みが不十分
である場合には書き込み動作を繰り返す書き込みサイク
ル制御を行い、書き込みが十分であることが確認され
ると前記昇圧電源回路を活性状態に保持したまま一定時
間アクセス可能な状態にセットし、前記一定時間内に第2

3

のコマンドが入力された場合は初期状態に戻ることなく次の書き込みサイクル制御を行い、前記一定時間内に第2のコマンドが入力されない場合に書き込みサイクルを終了させることを特徴とする請求項3記載の半導体記憶装置。

【請求項11】 電氣的書き換え可能な不揮発性メモリセルを配列したメモリセルアレイと、

このメモリセルアレイへのデータ書き込み、読み出しに必要な昇圧電位を発生する昇圧電源回路と、

前記メモリセルアレイの読み出しデータをセンスするセン

スアンプと、
アドレス信号により前記メモリセルアレイのメモリセル

選択を行うデコード回路と、
書き込みコマンド入力とアドレス及びデータ入力に基づいて前記メモリセルアレイへのデータ書き込みと書き込みデータの確認を含む自動書き込み動作の制御を行う制御回路とを備え、

繰り返し入力される複数アドレスに対する書き込みについて前記昇圧電源回路の書き込み用昇圧回路を各アドレスの書き込み動作終了毎に非活性状態に戻ることなく活性状態に保つ連続書き込みモードを有する、ことを特徴とする半導体記憶装置。

【請求項12】 前記連続書き込みモードは、連続書き込みを指示するコマンドの入力により設定され、連続書き込み終了を指示するコマンドの入力により終了することを特徴とする請求項11記載の半導体記憶装置。

【請求項13】 前記連続書き込みモードと、前記書き込み用昇圧回路を書き込み動作終了毎に非活性にする通常の書き込みモードとが外部からのコマンド入力により切り換え可能とされていることを特徴とする請求項11記載の半導体記憶装置。

【請求項14】 前記連続書き込みモードは、前記制御回路が書き込み動作終了後に一定時間前記書き込み用昇圧回路の活性状態を継続させるアクセス可能な状態を保持し、この状態の継続中に次の書き込みを指示するコマンドが入力されると書き込み動作を実行することにより、実質的に設定されることを特徴とする請求項11記載の半導体記憶装置。

【請求項15】 前記連続書き込みモードにおいて、最初の書き込みサイクルの初期に前記書き込み用昇圧回路の出力安定化のための待機時間を設け、2回目以降の書き込みサイクルでは前記待機時間をスキップするようにしたことを特徴とする請求項11記載の半導体記憶装置。

【請求項16】 書き込み動作制御に必要な昇圧電位を発生するための昇圧電源回路を内蔵する半導体記憶装置の制御方法であって、

第1のコマンドとアドレス信号及び対応する書き込みデータ信号を入力することにより前記昇圧電源回路を継続的に活性状態に保持する連続書き込み動作モードを設定

4

するステップと、

前記第1のコマンドに引き続いて第2のコマンドとアドレス信号及び対応する書き込みデータを繰り返し入力して、前記昇圧電源回路の活性状態を継続させたまま複数アドレスの書き込みを行わせるステップとを有することを特徴とする半導体記憶装置の制御方法。

【請求項17】 第3のコマンドを入力して前記連続書き込み動作モードを終了させるステップを有することを特徴とする請求項16記載の半導体記憶装置の制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、動作制御に必要な昇圧電源回路を内蔵する、EEPROM等の半導体記憶装置とその制御方法に関する。

【0002】

【従来の技術】最近のEEPROMフラッシュメモリでは、自動書き込み機能が備えられている。この種のEEPROMフラッシュメモリでは、書き込みコマンドとアドレス及びデータを入力すれば、チップ内部で自動的に書き込み動作とその書き込みデータを確認するベリファイ動作を実行する。自動消去機能も同様で、消去コマンドとアドレスを入力すれば、チップ内部で自動的に消去動作とその消去データを確認するベリファイ動作を実行する。

【0003】通常のNOR型フラッシュメモリの場合、メモリセルアレイのビット線数に比べて、センスアンプの数は少なく、例えば1ワード分(16ビット)のセンスアンプしか持たない。この場合、複数アドレス(複数ワード)のデータ書き込みを行うためには、各アドレスについて書き込み動作が終了する度に次の書き込みアドレスとデータを指定して再度書き込みコマンドを入力することが必要になる。

【0004】

【発明が解決しようとする課題】従って、従来のEEPROMフラッシュメモリでは、プログラム記録や音声データ記録等の用途で大量のデータ書き換えを行う場合には、全体として書き込み時間が非常に長いものとなる。また、自動書き込み動作においては、各アドレスの書き込み動作毎に昇圧電源回路がオンオフ制御されるため、各アドレスの書き込み動作初期には昇圧電源回路の出力安定化までの待機時間が必要であり、これは全体として書き込みに要する時間を長くするだけでなく、消費電力増大の原因となる。

【0005】これに対して、複数ワード分を1ページとして、1ページ分のデータを内部に保持して自動書き込みを行うNOR型フラッシュメモリがあるが、この方式では、1ワード分のセンスアンプと別に、1ページ分のデータを保持するためのデータラッチを必要とする。このため、構成、制御共に複雑になる。

5

【0006】この発明は、上記事情を考慮してなされたもので、書き込み時間短縮と消費電力低減を可能とした半導体記憶装置とその制御方法を提供することを目的としている。

【0007】

【課題を解決するための手段】この発明に係る半導体記憶装置は、メモリセルアレイと、昇圧電位を発生するための昇圧電源回路と、アドレス信号に応じて前記メモリセルアレイのメモリセル選択を行うデコード回路と、第1のコマンドが入力されると前記昇圧電源回路を活性状態とし、前記第1のコマンドに引き続いて前記昇圧電源回路を制御する第2のコマンドが繰り返し入力される間前記昇圧電源回路の活性状態を継続させる制御を行う制御回路と、を有することを特徴とする。

【0008】この発明に係る半導体記憶装置はまた、メモリセルアレイと、昇圧電位を発生するための昇圧電源回路と、アドレス信号に応じて前記メモリセルアレイのメモリセル選択を行うデコード回路と、入力端子を有し、前記昇圧電源回路の活性状態と非活性状態とを制御するための制御回路とを備え、前記入力端子に入力される所定の信号に応じて前記制御回路から出力される第1の制御信号により前記昇圧電源回路の活性状態と非活性状態とが制御される通常動作モードと、前記入力端子に入力される所定の信号に応じて前記制御回路から出力される第2の制御信号により前記昇圧電源回路の活性状態を継続させる連続動作モードと、を有することを特徴とする。

【0009】この発明に係る半導体記憶装置は更に、メモリセルアレイと、昇圧電位を発生するための昇圧電源回路と、アドレス信号に応じて前記メモリセルアレイのメモリセル選択を行うデコード回路と、第1のコマンドが入力されると前記昇圧電源回路を一定時間活性状態とし、前記一定時間内に第2のコマンドが入力された場合には前記昇圧電源回路の活性状態を継続し、前記一定時間内に第2のコマンドが入力されない場合には前記昇圧電源回路が非活性状態になるように制御する制御回路と、を有することを特徴とする。

【0010】この発明に係る半導体記憶装置は更に、メモリセルアレイと、昇圧電位を発生するための、活性状態と非活性状態とが制御される第1の昇圧回路及び、常時活性状態に保持されて昇圧電位を発生する第2の昇圧回路を有する昇圧電源回路と、この昇圧電源回路の出力を動作モードに応じてレベル調整して出力するレギュレータと、アドレス信号に応じて前記メモリセルアレイのメモリセル選択を行うデコード回路と、所定のコマンドが入力されることにより、任意の複数のアドレス信号と書き込みデータが繰り返し入力される間前記第1の昇圧回路を継続的に活性状態に保持する制御を行う制御回路と、を有することを特徴とする。

【0011】この発明に係る半導体記憶装置は更に、電

6

氣的書き換え可能な不揮発性メモリセルを配列したメモリセルアレイと、このメモリセルアレイへのデータ書き込み、読み出しに必要な昇圧電位を発生する昇圧電源回路と、前記メモリセルアレイの読み出しデータをセンスし書き込みデータをラッチするセンスアンプと、アドレスにより前記メモリセルアレイのメモリセル選択を行うデコード回路と、書き込みコマンド入力とアドレス及びデータ入力に基づいて前記メモリセルアレイへのデータ書き込みと書き込みデータの確認を含む自動書き込み動作の制御を行う制御回路とを備え、複数アドレスに対する書き込みについて前記昇圧電源回路の書き込み用昇圧回路を各アドレスの書き込み動作終了毎に非活性状態に戻すことなく活性状態に保つ連続書き込みモードを有する、ことを特徴とする。

【0012】この発明は更に、書き込み動作制御に必要な昇圧電位を発生するための昇圧電源回路を内蔵する半導体記憶装置の制御方法であって、第1のコマンドとアドレス信号及び対応する書き込みデータ信号を入力することにより前記昇圧電源回路を継続的に活性状態に保持する連続書き込み動作モードを設定し、前記第1のコマンドに引き続いて第2のコマンドとアドレス信号及び対応する書き込みデータを繰り返し入力して、前記昇圧電源回路の活性状態を継続させたまま複数アドレスの書き込みを行わせることを特徴とする。

【0013】この発明によると、ランダムな複数アドレス入力による複数のデータ書き込み等において、昇圧電源回路のオンオフ切り替えを行わず、昇圧電源回路の活性状態を継続させる。これにより消費電力低減が図られる。また、この様な連続書き込みモードにおいて、最初の書き込み時には昇圧回路の出力安定化のための待機時間が必要であるが、その後の書き込みにはこの待機時間をスキップすることができる。従って、多くのデータ書き込みを連続的に行う場合には、効果的な書き込み時間の短縮が図られる。

【0014】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態を説明する。図1は、この発明の一実施の形態によるEEPROMフラッシュメモリのブロック構成を示す。メモリセルアレイ1は、電氣的書き換え可能な不揮発性メモリセルとして、図2に示すように、浮遊ゲートと制御ゲートが積層されたMOSトランジスタ構造のメモリセルMCがNOR型に配列接続されている。メモリセルMCのドレインはビット線BLに接続され、ソースは共通ソース線SSに接続され、制御ゲートはワード線W1に接続される。

【0015】メモリセルアレイ1のワード線WLはロウデコーダ2により選択され、ビット線BLはカラムデコーダ3とこれにより駆動されるカラムゲート4により選択される。アドレスADはアドレス/データバッファ6に入力され、ロウアドレス及びカラムアドレスがそれぞ

7

れロウデコーダ2及びカラムデコーダ3でデコードされる。

【0016】データ読み出し時、カラムゲート4により選択されたビット線データはセンスアンプ5により検知増幅され、アドレス／データバッファ6を介してI/O端子に取り出される。データ書き込み時、I/O端子から入力されるデータDAはアドレス／データバッファ6にラッチされる。ラッチされたDAは、センスアンプ5を介して、カラムゲート4により選択されたビット線に転送される。或いはセンスアンプ5がラッチ機能をもつても良い。この実施の形態の場合、メモリセルアレイ1の1回のデータ書き込み／読み出しのデータ幅は、I/O端子数により(従ってセンスアンプ5の数により)、例えば1ワード分(1ワードは例えば、16ビット)に制限されている。1ページ分を複数ワードとして、1ページのデータ書き込みのためには複数回のアドレス及びデータ入力が必要となる。

【0017】昇圧電源回路8は、データの書き込み／消去／読み出しに必要な昇圧電位を発生するために設けられている。昇圧電源回路8の昇圧出力電位VPPはレギュレータ9を介してロウデコーダ2に、或いは直接メモリセルアレイ1に供給される。レギュレータ9は、ロウデコーダ2により選択されたメモリセルアレイ1のワード線WLに電位制御された電位Vgを与える。

【0018】制御回路7は、自動書き込みのシーケンス制御のために設けられており、コマンドユーザーインターフェース(CUI)71とライトステートマシン(WSM)72を有する。CUI71は、チップイネーブルCEB、書き込みイネーブルWEB、出力イネーブルOEBの他、書き込みコマンドが入力される。書き込みコマンドは、所定の規則に従ってアドレス及びデータと一連のコマンドデータとしてアドレス／データバッファ6に入力されて、これがCUI71に入る。

【0019】書き込みコマンドはCUI71においてデコードされて、WSM72に送られ、このWSM72により昇圧電源回路8及びレギュレータ9の制御を含む自動書き込みのシーケンス制御がなされる。またCUI71では、書き込みコマンドをデコードして、書き込みのモードに応じて昇圧電源回路8のオンオフ制御を行う活性化信号PGMEN、FASTENを生成する。後に説明するように、これらの活性化信号PGMEN、FASTENはそれぞれ、通常の書き込みモード及び連続書き込みモードにおいて用いられる。

【0020】図3は、昇圧電源回路8とレギュレータ9の具体的な構成を示している。電源昇圧電源回路8は、書き込み／消去用の高電圧や中間電圧を発生する昇圧回路81と、読み出し用電圧を発生する昇圧回路82を有する。これらの昇圧回路81、82はよく知られたチャージポンプ回路により構成される。昇圧回路81の活性化端子には、オアゲート83を介して、通常の書き込み

8

モードの場合には活性化信号PGMENが入り、連続書き込みモードの場合は活性化信号FASTENとPGMENが入る。即ち書き込み用昇圧回路81は、書き込みモードにおいて、活性化信号FASTEN、PGMENのいずれかが“H”のとき活性状態となり、いずれも“L”のときに非活性状態になる。

【0021】読み出し用昇圧回路82は常時活性状態に保たれるものとする。そして、書き込み／消去用昇圧回路81の出力VHは直接昇圧出力(VPP)端子に取り出され、読み出し用昇圧回路82の出力VRは、読み出し制御信号RES Dにより読み出し時にオンされるトランジスタQN0を介してVPP端子に取り出される。このVPP端子の出力電位がレギュレータ9に送られる。

【0022】レギュレータ9は、図3に示すように、二つのコンパレータCMP1、CMP2と、これらの出力により選択的にオンオフされる、VPP端子と接地端子の間に直列接続されたPMOSTランジスタQP1及びNMOSTランジスタQN1を有する。これらのトランジスタの接続ノードが制御電位出力Vgの出力ノードとなる。この出力ノードには、抵抗R1、R2、…、R0が直列接続された抵抗分圧回路91が設けられ、その抵抗R0のノードがモニター出力VMONとして、コンパレータCMP1、CMP2のそれぞれ反転、非反転入力端子に帰還される。コンパレータCMP1、CMP2のそれぞれ非反転、反転入力端子には基準電位VREFが入る。従って、モニター出力VMONが基準電位VREFに一致するように、トランジスタQP1、QN1のオンオフが帰還制御される。

【0023】また、抵抗回路91の各ノードと、制御電位出力Vgの出力ノードの間には、モード制御信号/PGM、/PV等により制御される短絡用PMOSTランジスタQP3、QP4、…が接続されている。書き込み動作では、モード制御信号/PGMが“L”となってPMOSTランジスタQP3がオンし、ベリファイ動作では制御信号/PVが“L”となってPMOSTランジスタQP4がオンする、という電位制御がなされる。これにより例えば、書き込み動作ではVg=VPGM、ベリファイ動作ではVg=VPVといったワード線駆動電位が得られることになる。

【0024】VPP出力端子とVg出力端子の間にはPMOSTランジスタQP2が設けられている。このPMOSTランジスタQP2は、読み出し動作のとき制御信号/SHOTが“L”となり、オンする。これにより、読み出し時は、読み出し用昇圧回路82の出力VRがそのままVg出力端子に出力される。このレギュレータ9の制御信号/PGM、/PV、/SHOTは、WSM72により作られる。

【0025】図4は、WSM72の構成を示している。CUI71が書き込みコマンドを受け付けると、クロックオシレータ41が動作開始し、基本クロックを発生す

る。自動書き込み動作中はこの基本クロックに同期してチップが制御される。書き込み動作中、ペリファイ動作中といったチップ内部状態は、ステータスレジスタ43のレジスタ値で表される。この内部状態に応じて、アドレス／データ／電源コントローラ45により、アドレス／データバッファ6の制御信号や、昇圧電源回路8及びレギュレータ9の制御信号／PGM、／PV等が出力される。

【0026】一方、ペリファイ結果に応じて自動書き込みを終了し、或いは再書き込みを行うといった状態遷移は、状態遷移コントローラ44において、ステータスレジスタ43の出力及びセンスアンプ出力が入力されて判定される。各状態はそれぞれ予め設定された一定時間保持されるが、これはタイマ42により制御される。ステータスレジスタ43の出力信号はCUI71に送られる。これにより、レディー (Ready) 又はビジー (Busy) 信号が外部に出力され、また動作終了信号により、昇圧電源回路の活性化信号PGMENを非活性 (“L”) にする制御がなされる。

【0027】この実施の形態のフラッシュメモリでの自動書き込みを次に説明する。この実施の形態では、書き込みアドレス及びデータ入力毎に昇圧電源回路8の書き込み／消去用昇圧回路81の活性、非活性を制御する“通常書き込みモード”と、複数のアドレス及びデータ入力の間、書き込み／消去用昇圧回路81を非活性に戻すことなく連続して活性状態に保つ“連続書き込みモード”を有する。

【0028】図5は、通常書き込みモードでの動作タイミングを示している。この通常書き込みモードは例えば、図7(a)に示すように、書き込むべき各アドレスAdd, データdataの先頭にそれぞれ、“555h”, “2AAh”, “AAh”及び、“55h”, “A0h”といった書き込みコマンドをつけることにより設定される。従って、各書き込み動作毎に4サイクルが必要になる。このとき、書き込みコマンドがCUI71においてデコードされて、昇圧回路活性化信号PGMENは、各書き込みサイクルで“H”になり、書き込み動作が終了すると“L”になる。これにより、書き込み用昇圧回路81は各アドレスの書き込み毎に活性になって昇圧を開始し、書き込み動作が終了すると非活性になる。選択メモリセルの制御ゲートに与えられる電位Vgは、レギュレータ9の制御により、図に示すように、書き込みサイクルの中の正味の書き込み動作時にVPGMとなり、その後のペリファイ動作時にVPVになる。この通常書き込みモードでは、活性化信号FASTENは“L”である。

【0029】自動書き込み動作 (Program) の間は、ビジー信号が外部に出力され、その間チップはアクセスできない状態になる。自動書き込み動作が終了すると、初期状態である読み出し待機状態 (Read) にな

る。この読み出し待機状態では、書き込み用昇圧回路81も動作を停止しており、次のアドレスの書き込みを行う場合には再度書き込みコマンドにより昇圧動作を開始することになる。

【0030】これに対して、連続書き込みモードの動作は図6のようになる。この連続書き込みモードは、例えば図7(b)に示すように、書き込むべき各アドレスAdd, データdataの先頭に“555h”, “2AAh”, “555h”, “xxxh”及び、“AAh”, “55h”, “20h”, “A0h”といった、通常の書き込みコマンドとは異なる連続書き込みコマンドをつけることにより設定される。このとき、連続書き込みコマンドがCUI71においてデコードされて、昇圧回路の活性化信号FASTENは連続書き込み終了コマンドが入るまで、“H”となる。活性化信号PGMENは、通常書き込みモードの場合と同様に、各書き込みコマンド入力毎に“H”になり、書き込み動作が終了すると“L”になる。一旦連続書き込みモードに設定されると、その後の各書き込み動作では、アドレス及びデータの前にそれぞれ、書き込みコマンドとなる“xxxh”, “A0h”をつけるだけで、2サイクルの入力で済む。

【0031】読み出し待機状態で次の書き込みコマンドと書き込むべきアドレス、データを入力することにより、以下書き込み動作 (Program) とその後の読み出し待機 (Read) を繰り返すことができるのは通常書き込みモードと変わらない。但し、連続書き込みモードでは、その間、活性化信号FASTENによって書き込み用昇圧回路81は非活性に戻ることなく、活性状態を保つ。連続書き込みモードであっても、読み出し待機状態はビジーではなく、通常読み出し動作が可能である。そして、図7(b)に示すように、予め定められた連続書き込み終了コマンドを入力することにより、活性化信号FASTENは“L”になり、書き込み用昇圧回路81も非活性になって、連続書き込みモードが終了する。

【0032】図8は、この実施の形態における自動書き込み動作のWSM72による制御の状態遷移図を示している。この状態遷移は、通常書き込みモードと連続書き込みモードの間で変わりはない。即ち、初期状態 (Read) (S1) で書き込みコマンドが入力されると、まず書き込み禁止 (プロテクト) が掛かっているか否かが判断される (S2)。プロテクト状態の場合には終了動作 (S7) となる。プロテクト状態でない場合に昇圧電源回路の昇圧動作が開始され (S3)、書き込み電圧VPGMがワード線に与えられて書き込みが行われる (S4)。書き込み動作が終わると、ペリファイ読み出し用電圧VPVがワード線に与えられ (S5)、ペリファイ判定がなされる (S6)。書き込み不十分の場合には、再度書き込み電圧VPGMを発生して書き込みが繰

11

り返される。書き込み十分と判定されると、書き込みは終了し（S7）、チップは初期状態（S1）にセットされる。

【0033】この実施の形態によると、次のような効果が得られる。まず大量のデータ書き換えを行う場合を考えると、通常の書き込みモードでは各アドレス指定毎に昇圧動作を行う必要があるため、昇圧回路のオンオフによる電力損失が大きい。これに対して、連続書き込みモードを設定すれば、その連続書き込み動作の間、昇圧回路をオンのまま保持するため、消費電力の削減が可能になる。

【0034】また、連続書き込みモードの場合には、書き込み用昇圧回路81は常時オンしているから、2回目以降の書き込み時には昇圧回路の出力安定化に要する待機時間をスキップすることができる。この様子は、図5及び図6に示している。即ち、図5に示すように、通常の書き込みモードでは、各書き込み動作毎に、昇圧回路の安定化の待機時間 Δ を必要とするため、各サイクルで書き込み高電圧VPGMの印加時間幅Tが同じだけ必要になる。これに対して連続書き込みモードでは、図6に示すように、最初の書き込み時に時間Tを必要とするが、2回目以降に高電圧VPGMの印加に必要な時間は $T-\Delta$ となる。更に連続書き込みモード中は、2サイクルで書き込み制御が行われるため、CPUの占有時間が通常の書き込みモードに比べて緩和される。

【0035】図9は、1回の書き込みでベリファイをパスしたときのタイムテーブルを、通常の書き込みモードと連続書き込みモードの場合を比較して示している。上述したように、連続書き込みモードでは、昇圧回路安定化のための待機時間のスキップによる時間短縮が図られるが、1アドレスの書き込みでは通常の書き込みモードの場合と比較してその差はせいぜい $1\mu s$ 程度である。しかし、多数アドレスの書き込みを行った場合には、時間短縮の効果は大きくなる。例えば、2バイト単位で64kバイトの書き込みを行う場合には、通常の書き込みモードに比べて、連続書き込みモードに設定することにより3.2msの時間短縮になる。

【0036】上記実施の形態では、通常の書き込みコマンドとは別に、連続書き込みコマンドと連続書き込み終了コマンドの入力を必要とした。連続書き込みモードでは、高電圧用昇圧回路が常時動作しているため、連続書き込みモードに設定しながら、実際には書き込みを行わずに読み出し動作のみ繰り返すと無駄に電力を消費することになる。その対策として、書き込み動作終了後に直ちに初期状態（読み出し待機状態）に戻さず、一定時間昇圧回路を活性に保持したままアクセス可能とする、“疑似的レディー状態”を設定することが有効である。

【0037】図10は、その様な実施の形態での状態遷移図を、先の実施の形態の図8に対応させて示してい

12

る。WSM72の構成は先の実施の形態と変わらないが、図10のような状態遷移を制御するように予めプログラミングされる。図10に示したように、書き込みベリファイによりOKが出た後、直ちに終了動作（S7）に戻さず、疑似レディー状態（S8）にする。この疑似的レディー状態では、内部クロックを発生するクロックオシレータ42も書き込み用昇圧回路81も活性状態を保つようにする。但し、チップ外部にはReady信号を出し、書き込みコマンド受け付け可能である。

【0038】この疑似的レディー状態で一定時間内に次の書き込みコマンドが入力されると、終了動作（S7）に戻ることなく、プロテクトチェックを行い（S2）、次の書き込みシーケンスを開始する。このときオシレータ41は既に活性にあるから、図7に示した発振クロック安定化のために必要なダミーサイクルは不要になる。また書き込み用昇圧回路も活性であるため、昇圧回路出力安定化のための待機時間も必要がない。一方、疑似的レディー状態（S8）で一定時間書き込みコマンドの入力がない場合には、タイマ42がタイムアウトを出力し、書き込み動作を終了して初期状態に戻るようになる。そしてこのときWSM72も書き込み用昇圧回路81も非活性になるようにする。

【0039】この様に疑似的レディー状態の設定とその時間監視により、書き込み用昇圧回路の活性、非活性を制御すれば、疑似的レディー状態に設定された一定時間内に書き込みコマンドとアドレス及びデータを入力することにより、先の実施の形態と同様に書き込み用昇圧回路を活性に保ったままの実質的な連続書き込みモードが得られる。この場合、連続書き込み終了コマンドを入力することなく、タイムアウトにより自動的に昇圧回路は非活性になって、初期状態に戻る。

【0040】この実施の形態の場合、書き込み用昇圧回路81の活性化信号は、先の実施の形態において書き込みコマンドに同期して発生させる活性化信号PGMENを用いて、図11のような回路で活性化信号FASTENを生成すればよい。即ち、NORゲート101の一方の入力端子に活性化信号PGMENを入力し、これを遅延素子103により一定時間 τ だけ遅延して他方の入力端子に入れる。このNORゲート101の出力をインバータ102で反転すれば、活性化信号PGMENの後端を τ だけ伸ばした活性化信号FASTENを得ることができる。この活性化信号FASTENを書き込み用昇圧回路81の活性化端子に入れる。

【0041】図12は、この昇圧回路活性化回路の動作波形と内部状態を示している。書き込みコマンド入力により発生される活性化信号PGMENが“L”になって疑似的レディー状態になる。その疑似的レディー状態の時間が τ を越えないうちに次の書き込みコマンドが入力されれば、活性化信号FASTENは“H”の状態が維持され、書き込み用昇圧回路を活性に保ったまま次の書

13

き込みが実行される。擬似的レディ状態で時間 t が経過するまで次の書き込みコマンドの入力がない場合には、活性化信号FASTENが“L”となり、書き込み用昇圧回路は非活性になる。またこのときタイムアウトにより前述のようにチップは初期状態に戻る。

【0042】この実施の形態によると、書き込み用昇圧回路が活性状態のまま長時間保持されることはない。従って、先の実施の形態のように連続書き込みモードを設定しながら書き込みを行わない場合のように無駄に電力を消費することがない。そして、書き込むべきアドレス、データを連続的に書き込みコマンドと共に与えれば、書き込み用昇圧回路を連続して活性状態に保つ、先の実施の形態の連続書き込みモードと実質的に同じ連続書き込みモードが得られ、消費電力低減が図られる。また多くのデータ書き換えを行う場合に時間短縮が図られることも、先の連続書き込みモードと同様である。

【0043】この発明は上記実施の形態に限られない。例えば実施の形態ではNOR型EEPROMを説明したが、昇圧電源回路を必要とする他のメモリ、例えばNAND型EEPROM、DRAM、SRAM、FRAMであつても、1回の書き込みデータビット数がI/O端子数によってセルアレイのビット線数に比べて大きく制限されている形式の場合には、この発明を適用して有効である。

【0044】

【発明の効果】以上述べたようにこの発明によれば、ランダムに入力される複数アドレスに対する書き込み等について昇圧電源回路のオンオフ切り替えを行わない連続動作モードを設定することにより、昇圧電源回路の消費電力低減が図られる。2回目の書き込み以降には昇圧回*30

14

*路出力安定化のための待機時間をスキップすることができ、多くのデータ書き換えを行う場合に書き込み時間の短縮が図られる。

【図面の簡単な説明】

【図1】この発明の実施の形態によるEEPROMのブロック構成を示す図である。

【図2】同実施の形態のメモリセルアレイの等価回路を示す図である。

【図3】同実施の形態の昇圧電源回路とレギュレータの構成を示す図である。

【図4】同実施の形態のWSMの構成を示す図である。

【図5】同実施の形態の通常書き込みモードの動作タイミング図である。

【図6】同実施の形態の連続書き込みモードの動作タイミング図である。

【図7】同実施の形態の書き込みコマンド及び連続書き込みコマンドの例を示す図である。

【図8】同実施の形態の状態遷移図である。

【図9】同実施の形態の通常書き込みモードと連続書き込みモードのタイムテーブルを示す図である。

【図10】別の実施の形態による状態遷移図である。

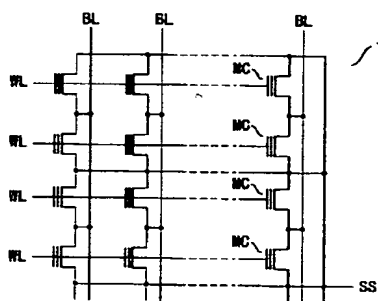
【図11】同実施の形態における昇圧回路の活性化回路の構成を示す図である。

【図12】同活性化回路の動作タイミング図である。

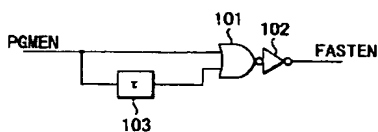
【符号の説明】

1…メモリセルアレイ、2…ロウデコーダ、3…カラムデコーダ、4…カラムゲート、5…センスアンプ、6…アドレス/データバッファ、7…制御回路、71…CU1、72…WSM、8…昇圧電源回路、81…書き込み/消去用昇圧回路、82…読み出し用昇圧回路。

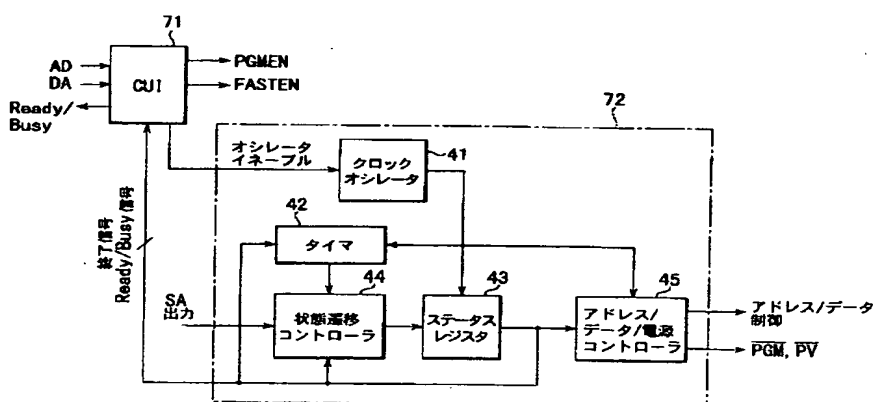
【図2】



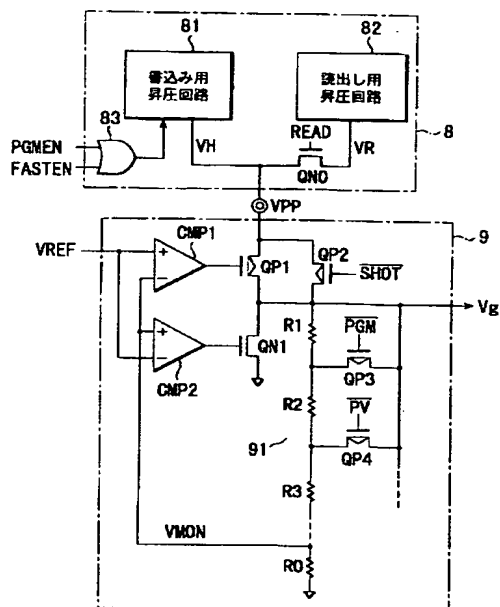
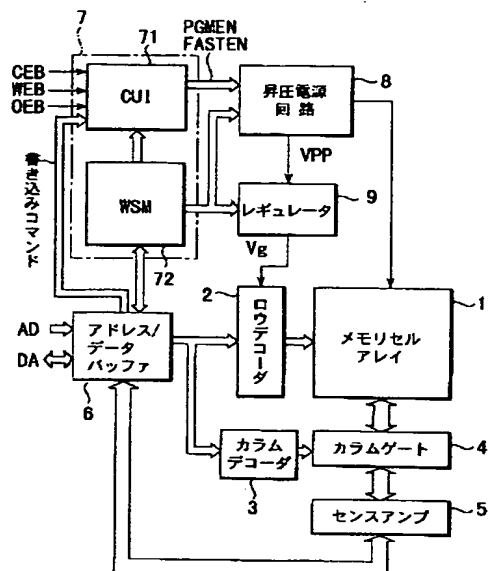
【図11】



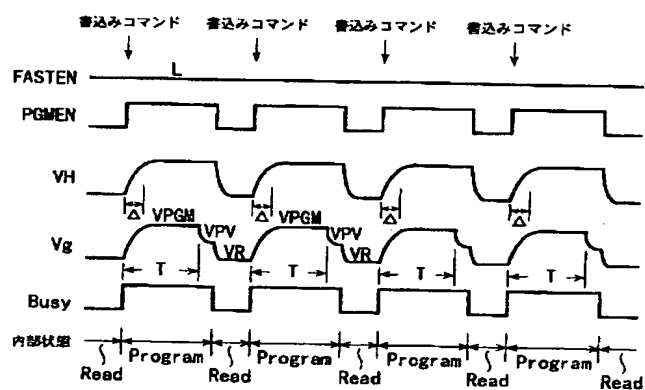
【図4】



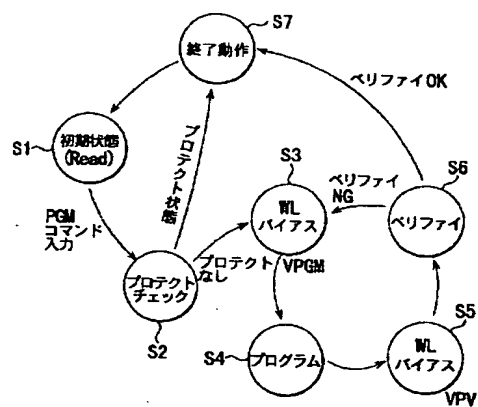
【图 3】



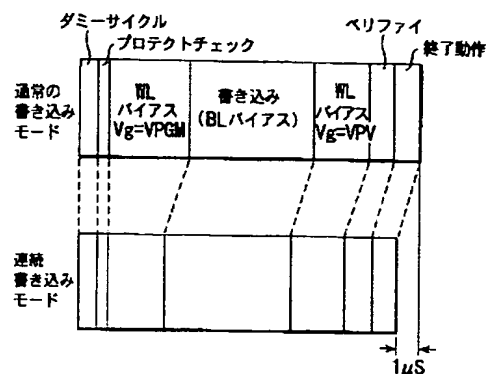
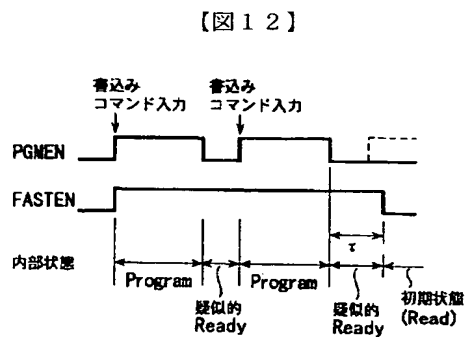
【图 8】



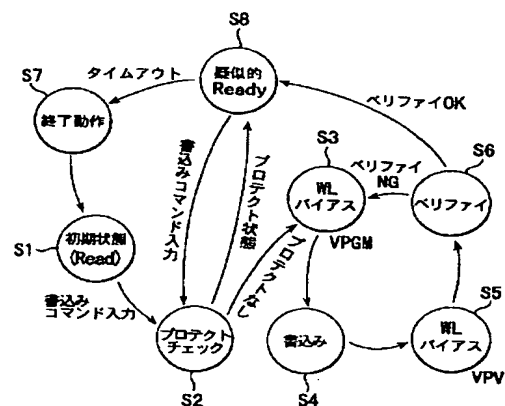
〔通常の書き込みモード〕



【図 9】



【図 10】



【圖 7】

アドレス 555h 2AAh 555h add0 555h 2AAh 555h add1

データ AAh 55h A0h data0 AAh 55h A0h data1

書き込みセット 書き込みセット

アドレス 555h 2AAh 555h xxxh add0 xxxh add1 ----- xxxh xxxh

データ AAh 55h 20h A0h data0 A0h data1 ----- 90h F0h

連続書き込みモード セット

連続書き込みモード 解除